

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-100784

(43)Date of publication of application : 25.04.1991

-----  
-----  
(51)Int.Cl. G06G 7/18

-----  
-----  
(21)Application number : 02-232600 (71)Applicant : PHILIPS  
GLOEILAMPENFAB:NV

(22)Date of filing : 04.09.1990 (72)Inventor : HUGHES JOHN B

-----  
-----  
(30)Priority

Priority number : 89 8920126

Priority date : 06.09.1989

Priority country : GB

-----  
-----  
(54) DIFFERENTIATION CIRCUIT

(57)Abstract:

PURPOSE: To differentiate an input signal in the configuration of sampled analog currents by providing first and second current memory cells, and a switcher which switches in a sampling cycle.

CONSTITUTION: This circuit is provided with a first current memory cell provided with a capacitor C2, a switcher S2, transistors T2 and T3, and a second current

memory cell provided with a capacitor C1, a switcher S1, and a transistor T1. The switchers S2 and S3 are closed in each sampling cycle  $\phi_1$ , and the switchers S1, S2 and S4 are closed in each sampling cycle  $\phi_2$ . Then, currents obtained by subtracting proper bias currents and currents generated by the transistor T1 from the input currents are supplied through the switcher S3 to the first current memory cell in the sampling cycle  $\phi_1$ , and the currents obtained by adding the proper bias currents to the input currents are supplied to the input of the second current memory cell in the sampling cycle  $\phi_2$ . A differentiated output signal is used by an output 17 only in each sampling cycle  $\phi_2$ , and otherwise used by an output 15.

---

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平3-100784

(43) 公開日 平成3年(1991)4月25日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

G 0 6 G 7/18

審査請求 有 請求項の数11 (全17頁) (19)

(21) 出願番号 特願平2-232600

(22) 出願日 平成2年(1990)9月4日

(31) 優先権主張番号 8920126.3

(32) 優先日 1989年9月6日

(33) 優先権主張国 イギリス (GB)

(71) 出願人 999999999

コーニンクレッカ フィリップス エレ  
クトロニクス エヌ ヴィ  
N L

(72) 発明者 ジョン バリイ ヒューズ  
\*

(54) 【発明の名称】微分回路

(57) 【要約】

【目的】 開閉される電流技術を用いるフィルタを構成するために適切な組立ブロックをつくることにある

【効果】 開閉電流回路の信号微分の関数の履行を簡単ならしめ微分回路を使用してのフィルタの構成を可能とする。一方向電流を取扱うことのみ可能な電流メモリセルを用いて双方向電流を処理するのを可能とする

【産業上の利用分野】 サンプルされたアナログ電流の形態で入力信号を微分する微分回路に関する

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平3-100784

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月25日

G 06 G 7/18

R

6945-5B

審査請求 未請求 請求項の数 11 (全17頁)

⑭ 発明の名称 微分回路

⑯ 特 願 平2-232600

⑰ 出 願 平2(1990)9月4日

優先権主張 ⑱ 1989年9月6日 ⑲ イギリス(GB) ⑳ 8920126.3

⑳ 発 明 者 ジョン バリイ ヒュ イギリス国サセックス ホープ ラングデール ガーデン  
ーズ ス 38㉑ 出 願 人 エヌ ベー フィリッ オランダ国5621 ベーアー アインドーフエン フルーネ  
ブス フルーイランベ パウツウエツハ1  
ンファブリケン

㉒ 代 理 人 弁理士 杉村 暁秀 外5名

## 明 細 書

1. 発明の名称 微分回路

2. 特許請求の範囲

1. サンプルされたアナログ電流の形態で入力  
信号を微分するための微分回路において、

当該回路が、各々蓄えられるべき電流を受  
信する入力と蓄えられた電流を再生する出力  
とを有する第1および第2の電流メモリセル  
と、入力信号から第2の電流メモリセルの出  
力電流を減じた電流を各サンプリング周期の  
1つの部分の間に第1の電流メモリセルの入  
力に印加する手段と、入力信号を各サンプ  
リング周期の他の部分の間に第2の電流メモ  
リセルの入力に印加する手段と、微分された出  
力信号を第1の電流メモリセルの出力から導  
出する手段とを具備したことを特徴とする微  
分回路。

2. 第1および第2の電流メモリセルの入力に  
印加される単一方向電流を可能とする入力電  
流にバイアス電流を加算する手段と、第1の

電流メモリセルの入力に印加するためサンプ  
リング周期の1つの部分の間第2の電流メモ  
リセルの出力からバイアス電流を減算する手  
段とを具備した、双方向電流形態の信号を微分  
するための請求項1記載の微分回路において、

前記微分された出力信号を導出する手段が  
第1の電流メモリセルにより発生した出力電  
流から適切なスケールのバイアス電流を減算  
する手段を具備したことを特徴とする微分回路。

3. 微分器出力電流に比例する電流を第1およ  
び/または第2の電流メモリセルに印加され  
た入力信号から減算する手段を具備した請求項  
1または2記載の微分回路。

4. 微分器出力電流に比例する電流が各サンプ  
リング周期の1つの部分間にのみ入力信号か  
ら減算される請求項3記載の微分回路。

5. 微分器出力電流に比例する電流が微分器出  
力電流に対して反転されている請求項3また  
は4記載の微分回路。

6. 電流メモリセルが入力電流を感知する感知

## 特開平3-100784 (2)

手段と、入力電流を蓄える蓄積手段と入力電流を再生する再生手段とを有する請求項1から5いずれか記載の微分回路において、

感知および再生手段が同じデバイスを用いることを特徴とする微分回路。

7. 電流メモリセルがゲートとドレイン電極間に接続された開閉器を有する電界効果トランジスタを用い、その電界効果トランジスタは開閉器が閉じられている時感知手段として、開閉器が開かれている時再生手段として動作する請求項6記載の微分回路において、

前記蓄積手段が前記電界効果トランジスタのゲート・ソース間容量であることを特徴とする微分回路。

8. 別のコンデンサが前記トランジスタのゲートとソース電極間に接続されている請求項7記載の微分回路。
9. 第1および/または第2の電流メモリセルが前記トランジスタのドレイン電極と前記開閉器との間に別のカスケード接続された電界

効果トランジスタを用いる請求項7または8記載の微分回路。

10. 第2の電流メモリセルが蓄えられた電流に依存する電流を各々発生する複数の出力を用いる請求項1から9いずれか記載の微分回路。
11. 第2の電流メモリセルが1つまたはそれ以上の出力で発生されるべき蓄えられた電流に比例する大きさを有する反転電流を可能とする電流反転手段を有する請求項10記載の微分回路。

### 3. 発明の詳細な説明

#### (技術分野)

この発明はサンプルされたアナログ電流の形態で入力信号を微分する微分回路に関するものである。

#### (従来の技術)

サンプルされた信号とは反対の連続信号用の微分回路はよく知られており、単に直列コンデンサとシャント抵抗を用いてもよく、あるいはその抵抗が演算増幅器まわりの饋通通路を形成していてもよい。どちらの形態も集積された形態でのすなわち集積回路の一部としての履行に特に便利ということはない。

開閉されるコンデンサ技術を用いる微分回路は文献、Chung-Yu Wu と Tsai-Chung Yu "新しいSC微分器を用いた高域通過と帯域通過レーダフィルタの設計 (The Design of High-Pass and Band-Pass Ladder Filters using Novel SC Differentiators)", IEEE International Symposium on Circuits and Systems, 1989, pp. 1463-1466、に

開示されている。連続時間微分器からのフォワードオイラー(Forward Euler)およびバックワードオイラー(Backward Euler)写像(mapping)とも示されておりそれらのフィルタ設計への適用と与えられている。

本発明の目的は開閉される電流技術を用いるフィルタを構成するために適切な組立ブロックをつくることにある。

開閉される電流技術はすでに文献、J. B. Hughes, N. C. Bird, I. C. Macbeth "アナログサンプルされたデータ信号処理の新らしい技術 (A New Technique for Analogue Sampled-Data Signal Processing)", IEEE International Symposium on Circuits and Systems, 1989, pp. 1584-1587、にも開示されている。

前述の目的を達成するため本発明微分回路は、サンプルされたアナログ電流の形態で入力信号を微分するための微分回路において、当該回路が、各々蓄えられるべき電流を受信する入力と蓄えられた電流を再生する出力とを有する第1および第

## 特開平3-100784(3)

2の電流メモリセルと、入力信号から第2の電流メモリセルの出力電流を減じた電流を各サンプリング周期の1つの部分の間に第1の電流メモリセルの入力に印加する手段と、入力信号を各サンプリング周期の他の部分の間に第2の電流メモリセルの入力に印加する手段と、微分された出力信号を第1の電流メモリセルの出力から導出する手段とを具えたことを特徴とするものである。この回路は開閉電流回路の信号微分の関数の履行を簡単ならしめ微分回路を使用してのフィルタの構成を可能とする。

多方向電流形態の信号を微分するための本発明微分回路は、第1および第2の電流メモリセルの入力に印加される単一方向電流を可能とする入力電流にバイアス電流を加算する手段と、第1の電流メモリセルの入力に印加するためサンプリング周期の1つの部分の間第2の電流メモリセルの出力からバイアス電流を減算する手段とを具え、さらにその微分された出力信号を導出する手段が第1の電流メモリセルにより発生した出力電流から

適切なスケールのバイアス電流を減算する手段を具えたことを特徴とするものであってもよい。

この回路は一方向電流を取扱うことのみ可能な電流メモリセルを用いて双方向電流を処理するのを可能とする。双方向電流は微分器入力に印加可能で双方向電流はその微分器出力で有用となる。一定の電流源により発生されるバイアス電流が微分器を形成するモジュールに含まれてモジュール間では伝播されない。このことは集積回路基板の大面積にわたる電流源の整合と係わる問題を削減する。

本発明微分器は、微分器出力電流に比例する電流を第1および/または第2の電流メモリセルに印加された入力信号から減算する手段を具えていてもよい。このことは連続時間微分器からフォワード オイラーまたは双線形写像を実行する微分器の構成や出力電流に比例する信号が減算される電流メモリセルに依存する損失微分器の構成を可能とする。

微分器出力電流に比例する電流は各サンプリン

グ周期の1つの部分間にのみ入力信号から減算されてもよい。この構成は双線形の理想的な損失あるバックワードおよびフォワードワード微分器を可能とする。

微分器出力電流に比例する電流は微分器出力電流に対して反転されてもよい。これにより出力信号は到達されるべく連続時間微分器からフォワード オイラー写像を与える入力信号からの減算が可能となる。

本発明に係る電流メモリセルは、入力電流を感知する感知手段と、入力電流を蓄える蓄積手段と入力電流を再生する再生手段とを有し、さらにその感知と再生手段とは同じデバイスを具えていてもよい。この事は到達される信号電流のより正確な処理を可能とするデバイスの非整合に起因する誤差を排除する。

本発明に係る電流メモリセルは、ゲートとドレイン電極間に接続された開閉器を有する電界効果トランジスタを具え、その電界効果トランジスタは開閉器が閉じられている時感知手段として開閉

器が開かれている時再生手段として動作し、さらに蓄積手段が前記電界効果トランジスタのゲート・ソース間容量である構成であってもよい。この事は大規模集積回路でMOS 技術を用いて都合よく集積できる電流メモリを構成することを可能とする。

別のコンデンサがそのトランジスタのゲートとソース電極間に接続されてもよい。この事は感知された電流のより精確な再生を可能とする開閉器からの貫通の電荷の影響を削減するかもしれないが、集積化の形態がより大規模になり付加的な処理工程を含むという不利益が生ずるかもしれない。

第1および/または第2電流メモリは前記トランジスタのドレイン電極と前記開閉器との間に別のカスケード接続された電界効果トランジスタを具えていてもよい。この事は第1のトランジスタが電流源として作用する、すなわち開閉器が開かれている時、より高い出力インピーダンスを提供する。

第1の電流メモリセルは蓄積された電流に依存

## 特開平3-100784 (4)

する電流を各々発生する複数の出力を具えていてもよい。このようにして数多くのスケール付けされた出力が得られ、それらは第1および/または第2の電流メモリセルの入力へ饋還された出力電流とは別に独立にスケール付けがなされる。

(実施例)

以下添付図面を参照し実施例により本発明を詳細に説明する。

第1図はコンデンサCを介して差動増幅器Aの反転入力に接続される入力を有する公知の微分回路を示す。抵抗Rは増幅器Aの反転入力と出力間に接続され、一方増幅器Aの非反転入力はアースに接続されている。増幅器Aの出力は微分回路の出力2に接続されている。当業者によく知られているように、微分回路の伝達関数は

$$H(s) = -sCR \quad (1)$$

で与えられる。

第2図は電流源11とnチャネル電界効果トランジスタT1のドレイン電極との接合点に接続されている入力10を有する開閉電流技術を使用した本発

明に係る微分回路の第1の実施例を示している。電流源11の他端は正の給電路12に接続され、一方トランジスタT1のソース電極は負の給電路13に接続されている。開閉器S1はトランジスタT1のドレインとゲート電極間に接続され、一方コンデンサC1はそのゲートとソース電極間に接続されている。開閉器S3はトランジスタT1のドレイン電極と電流源14およびnチャネル電界効果トランジスタT2のドレイン電極の接合点との間に接続されている。電流源14の他端は正の給電路12に接続され、一方トランジスタT2のソース電極は負の給電路13へ接続されている。開閉器S2はトランジスタT2のドレインとゲート電極間に接続され、一方コンデンサC2はそのゲートとソース電極間に接続されている。トランジスタT2のゲート電極はnチャネル電界効果トランジスタT3のゲート電極に接続されている。トランジスタT3のソース電極は負の給電路13へ接続され、一方そのドレイン電極は出力15と電流源16を介して正の給電路12とに接続されている。トランジスタT2のドレイン電極はまた開閉器S4を介

して第2の出力17に接続されている。

電流源11と14は両方とも電流jを発生し、一方電流源16は電流Ajを発生する。トランジスタT3のチャネル幅/チャネル長比はトランジスタT2のA倍にとられている。開閉器S2とS3は各サンプリング周期(第3図参照)の部分φ1間に閉じられ、一方開閉器S1、S2およびS4は各サンプリング周期の部分φ2間に閉じられる。電流源は入力トランジスタT1またはT2を逆方向にバイアスしないで入力10に印加される双方向入力電流iと出力15で発生される双方向出力電流i<sub>o</sub>とを与えている。

この回路の動作は次のように解析される。サンプリング周期(n-1)の部分φ2間にトランジスタT1を通る電流I<sub>1</sub>は

$$I_1 = j + i(n-1)$$

で与えられる。

サンプリング周期nの部分φ1間にトランジスタT2を通る電流I<sub>2</sub>は

$$\begin{aligned} I_2 &= 2j + i(n) - I_1 \\ &= j + i(n) - i(n-1) \end{aligned}$$

またI<sub>3</sub>=AI<sub>2</sub>で

ここでI<sub>3</sub>はトランジスタT3を通る電流で

$$\begin{aligned} i_o(n) &= Aj - I_3 \\ i_o(n) &= Aj - A(j + i(n) - i(n-1)) \\ &= -A(i(n) - i(n-1)) \end{aligned}$$

zドメイン(domain)に変換すれば

$$H(z) = i_o(z)/i(z) = -A(1-z^{-1})$$

これはバックワードオイラー写像(Backward Euler mapping)すなわち式(1)で  $s \rightarrow (1/T)(1-z^{-1})$  とおくことに対応し、ここでTはクロック周期で  $A=CR/T$  である。

第2図示微分回路はかくてコンデンサC2、開閉器S2、トランジスタT2とトランジスタT3を具える第1の電流メモリセルとコンデンサC1、開閉器S1とトランジスタT1を具える第2の電流メモリセルとを具える。各サンプリング周期の1つの部分φ2の間に入力電流iから取扱われるべき双方向入力電流を与える適切なバイアス電流とともに開閉器S1が開かれている時電流源として作用するトランジスタT1により発生する電流を引いたものが開



## 特開平3-100784 (5)

閉器S3を介して第1の電流メモリセルへ給電される。各サンプリング周期の他の部分φ1の間に入力電流に適切なバイアス電流を加えたものが第2の電流メモリセルの入力に給電される。開閉器S3とS2とが開かれているとトランジスタT2は出力15に加うるに出力17で開閉器S4を介して出力を与える電流源として作用する。微分された出力信号は各サンプリング周期の部分φ2の間のみ出力17でそれ以外は出力15でそれを介して利用される。

第4図は電流源21とnチャネル電界効果トランジスタT1のドレインとの接合点へ接続される入力20を有する本発明に係る微分回路の第2の実施例を示している。電流源21の他端は正の給電路22へ接続され、一方トランジスタT21のソース電極は負の給電路23へ接続されている。開閉器S21はトランジスタT21のゲートとドレイン電極間に接続され、一方コンデンサC21はそのゲートとソース電極間に接続されている。電流源24は正の給電路22とソース電極が負の給電路23に接続されているnチャネル電界効果トランジスタT22のドレイン

電極間との間に接続されている。開閉器S22はトランジスタT22のゲートとドレイン電極間に接続され、一方コンデンサC22はそのゲートとソース電極間に接続されている。

トランジスタT22のゲート電極はソース電極が負の給電路23へ接続されドレイン電極が電流源25を介して正の給電路22へ接続されるnチャネル電界効果トランジスタT23のゲート電極へ接続されている。トランジスタT23のドレイン電極はソース電極が負の給電路23へ接続されるnチャネル電界効果トランジスタT24のドレインとゲート電極へ接続されている。トランジスタT24のゲート電極はソース電極が負の給電路23へ接続されドレイン電極が電流源26を介して正の給電路22へ接続されるnチャネル電界効果トランジスタT25のゲート電極へ接続されている。トランジスタT25のゲート電極はソース電極が負の給電路23へ接続されドレイン電極が出力端子27と電流源28を介して正の給電路22とへ接続されるnチャネル電界効果トランジスタT26のゲート電極へ接続されている。

トランジスタT21のドレイン電極はトランジスタT25のドレイン電極と、開閉器S23を介してトランジスタT22のドレイン電極とに接続されている。

トランジスタT22とT23とは等しいチャネル幅/チャネル長比を有するよう構成され、それでそれらは比が1の電流ミラー回路を形成する。電流源21、24と26は電流jを発生するよう配列され、一方電流源25は電流2jを電流源28は電流Ajを発生する。開閉器S22とS23は各サンプリング周期の部分φ1の間は閉じられ、一方開閉器S21は各サンプリング周期の部分φ2の間閉じられる。

この回路の動作は以下のように解析される。サンプリング周期n-1の部分φ2の間にトランジスタT21を通る電流 $i_1$ は

$$i_1 = j + i(n-1) + i_o(n-1)/A$$

与えられ、ここでiは入力電流 $i_o$ は出力電流である。

サンプリング周期nの部分φ1の間にトランジスタT22を通る電流 $i_2$ は

$$i_2 = 2j + i(n) + i_o(n)/A - i_1$$

$$= 2j + i(n) + i_o(n)/A - j - i(n-1) - i_o(n-1)/A$$

$$= j + i(n) - i(n-1) + (i_o(n) - i_o(n-1))/A$$

$$\text{また } i_o(n) = Aj - I_2, I_2 = Aj - Ai_2 = Aj - Ai_1$$

$$= Aj - A(2j - I_2)$$

ここで $I_2, I_1, I_2, I_1$ はトランジスタT23, T24, T25, T26それぞれを通る電流であり、さらに

$$i_o(n) = -Aj + Ai_2 = -Aj + Ai_1$$

$$= -Aj + A(j + i(n) - i(n-1) + (i_o(n) - i_o(n-1))/A)$$

$$i_o(n-1) = -A(i(n) - i(n-1))$$

zドメインに変換すれば

$$i_o(z)z^{-1} = Ai(z)(1-z^{-1})$$

$$H(z) = i_o(z)/i(z) = A(1-z^{-1})/z^{-1}$$

これはフォワードオイラー写像(Forward Euler mapping)すなわち式(1)で $s \rightarrow (1/T)(z^{-1}/(1-z^{-1}))$ とおくことに対し、ここでTはクロック周波数で $A = CR/T$ である。この回路が非反転であり一方バックワードオイラーのものが反転であるのに注意されたい。これは2つの回路を双2次曲面フィルタ部分(bi-quadratic filter sections)で組み合わせるとき有用になるだろう。

## 特開平3-100784(6)

反転微分回路の形態である本発明に係る微分回路の第3の実施例は第5図に示されており、それは電流源51とnチャネル電界効果トランジスタT51のドレイン電極との接合点に接続される入力50を具えている。電流源51の他端は正の給電路52に接続され、一方トランジスタT51のソース電極は負の給電路53へ接続されている。開閉器S51はトランジスタT51のドレインとゲート電極間に接続され、一方コンデンサC51はそのゲートとソース電極間に接続されている。トランジスタT51のドレイン電極は開閉器S53を介して電流源54とnチャネル電界効果トランジスタT52のドレイン電極との接合点に接続されている。電流源54の他端は正の給電路52に接続され、一方トランジスタT52のソース電極は負の給電路53に接続されている。開閉器S52はトランジスタT52のドレインとゲート電極間に接続され、一方コンデンサC52はそのソースとゲート電極間に接続されている。トランジスタT52のゲート電極は2つの別のnチャネル電界効果トランジスタT53とT54のゲート電極へ接

続されている。トランジスタT53のソース電極は負の給電路53へ接続され、一方ドレイン電極は出力55と電流源56を介して正の給電路52とに接続されている。トランジスタT54のソース電極は負の給電路53に接続され、一方そのドレイン電極はnチャネル電界効果トランジスタT55のドレインとソース電極に、および電流源57を介して正の給電路52に接続されている。トランジスタT55のソース電極は負の給電路53に接続され、一方そのゲート電極はnチャネル電界効果トランジスタT56のゲート電極に接続されている。トランジスタT56のソース電極は負の給電路53へ接続され、一方そのドレイン電極はトランジスタT51のドレイン電極と電流源58を介して正の給電路52とに接続されている。

トランジスタT52, T53とT54で形成される電流ミラー回路は1:A:1の電流比を有して配置され、一方トランジスタT55とT56で形成される電流ミラー回路は1:1の電流比を有して配置されている。電流源51, 54, 56, 57と58は電流j, j, A, 2j

とjそれぞれを発生して配置されている。開閉器S52とS53は各サンプリング周期の部分φ1の間に閉じられ、一方開閉器S51は各サンプリング周期の部分φ2の間に閉じられる。この回路の以下の動作解析では電流 $i_1, i_2, i_3, i_4, i_5$ と $i_6$ はトランジスタT51, T52, T53, T54, T55とT56それぞれを流れる電流として規定され、一方電流 $i_r$ はトランジスタT51とT56のドレイン電極間接続を流れる電流である。印加される入力電流はiで出力電流は $i_o$ である。

サンプリング周期n-1の部分φ2の間では

$$i_1 = i(n-1) + j + i_r(n-1)$$

$$i_r = j - i_o = j - i_6$$

$$i_5 = 2j - i_4 = 2j - i_3/A$$

$$i_3 = Aj - i_1$$

従って $i_5 = j + i_1/A$ ,  $i_r = -i_1/A$

それで $i_r(n-1) = -i_1(n-1)/A$

それ故 $i_1 = j + i(n-1) - i_1(n-1)/A$

サンプリング周期nの部分φ1の間では

$$i_2 = i(n) + 2j + i_r(n) - i_1 = i_3/A$$

$$\text{それ故 } j - i_1(n)/A = 2j + i(n) - i_1(n)/A - j - i_1(n-1) - i_1(n-1)/A$$

$$i_1(n-1) = -A(i(n) - i_1(n-1))$$

$$i_1(z)z^{-1} = -A i(z)(1 - z^{-1})$$

$$H(z) = i_1(z)/i(z) = -A(1 - z^{-1})/z^{-1}$$

これはフォワードオイラー写像すなわち式(1)で $s \rightarrow (1/T)(z^{-1}/(1 - z^{-1}))$ とおくことに対応し、Tはサンプリング周期で $A = CR/T$ である。

第6図は双線形微分器の形態の本発明に係る微分回路の第4の実施例を示し、それは電流源61とnチャネル電界効果トランジスタT61のドレイン電極との接合点に接続される入力60を具えている。電流源61の他端は正の給電路62へ接続され、一方トランジスタT61のソース電極は負の給電路63に接続されている。開閉器S61はトランジスタT61のドレインとゲート電極間に接続され、一方コンデンサC61はそのゲートとソース電極間に接続されている。トランジスタT61のドレイン電極は開閉器S63を介して電流源64とnチャネル電界効果トランジスタT62のドレイン電極との接合点に接

## 特開平3-100784 (7)

続されている。電流源64の他端は正の給電路62へ接続され、一方トランジスタT62のソース電極は負の給電路63へ接続されている。開閉器S62はトランジスタT62のドレインとゲート電極間に接続され、一方コンデンサC62はそのゲートとソース電極間に接続されている。トランジスタT62のゲート電極はソース電極が負の給電路63に接続され、ドレイン電極が正の給電路62に電流源65を介して接続されるnチャネル電界効果トランジスタT63のゲート電極に接続されている。トランジスタT63のドレイン電極はソース電極が負の給電路63へ接続されるnチャネル電界効果トランジスタT64のドレインとゲート電極に接続されている。トランジスタT64のゲート電極はソース電極が負の給電路63に接続される2つの別のnチャネル電界効果トランジスタT65とT66のゲート電極に接続されている。トランジスタT65のドレイン電極は正の給電路62に電流源66を介しておよびトランジスタT61のドレイン電極に開閉器S64を介して接続されている。トランジスタT66のドレイン電極は出

力67と電流源68を介して正の給電路62に接続されている。

動作に際し入力電流*i*は入力60へ給電され出力電流*i<sub>o</sub>*は出力67から取出されて利用される。開閉器S62とS63は各サンプリング周期の部分φ1の間は閉じられ、一方開閉器S61とS64は各サンプリング周期の部分φ2の間は閉じられる。電流源61, 64, 65, 66と68は電流*J*, *j*, 2*j*, *j*と*A<sub>j</sub>*それぞれを発生する。トランジスタT62とT63により形成される電流ミラー回路は電流比1:1を有し、一方トランジスタT64, T65とT66で形成される電流ミラー回路は1:1:Aの電流比を有する。

第6図に示される微分器の動作は以下のように解析される。サンプリング周期(n-1)の部分φ2の間にトランジスタT61を通る電流*i<sub>1</sub>*は式

$$i_1 = j + i(n-1) + i_o(n-1)/A$$

で与えられる。

サンプリング周期*n*の部分φ1の間にトランジスタT62を通る電流*i<sub>2</sub>*は次の式で与えられる。

$$i_2 = 2j + i(n) - i_1$$

$$\begin{aligned} &= 2j + i(n) - (j + i(n-1) + i_o(n-1)/A) \\ &= j + i(n) - i(n-1) - i_o(n-1)/A \\ i_o(n) &= A(j - i_2) = A(j - i_1) \\ &= A(j - A(2j - i_2)) = -A(j - i_2) = -A(j - i_1) \end{aligned}$$

それ故  $i_2 = j + i_o(n)/A$

そして  $j + i_o(n)/A = j + i(n) - i(n-1) - i_o(n-1)/A$

$$i_o(n) + i_o(n-1) = A(i(n) - i(n-1))$$

zドメインに変換すれば

$$i_o(z)(1+z^{-1}) = A(1-z^{-1})$$

$$H(z) = i_o(z)/i(z) = A(1-z^{-1})/(1+z^{-1})$$

これはzドメインへの双線形写像、連続時間微分関数  $H(s) = sCR$  で  $s \rightarrow (2/T)((1-z^{-1})/(1+z^{-1}))$  とおくことに対応する。ここで  $A = 2CR/T$ 。

第7図は連続時間損失微分器(continuous time lossy differentiator)からバックワードオイラー写像を実行する損失微分器形態の本発明に係る微分回路の第5の実施例を示す。第7図示のごとくこの微分回路はノード(node)72に接続される入力71を有している。ノード72にはまた3つの開閉器S71からS73の1端と、2つのnチャネル

電界効果トランジスタT71とT72のドレイン電極と、電流源73の1端が接続されている。電流源73の他端は正の給電路74に接続され、一方トランジスタT71とT72のソース電極は負の給電路75に接続されている。開閉器S71の他端はトランジスタT71のゲート電極と他端が負の給電路75へ接続されるコンデンサC71との結合点に接続されている。開閉器S72の他端はトランジスタT72のゲート電極と他端が負の給電路へ接続されるコンデンサC72との結合点に接続されている。トランジスタT72のゲート電極は2つの別のnチャネル電界効果トランジスタT73とT74のゲート電極に接続されている。トランジスタT73のソース電極は負の給電路75へ接続され、一方そのドレイン電極は開閉器S73の他端と電流源76を介して正の給電路74に接続されている。トランジスタT74のソース電極は負の給電路75へ接続され、一方そのドレイン電極は出力端子77と電流源78を介して正の給電路74とに接続されている。

動作に際し入力電流*i*は入力71へ印加され出力

## 特開平3-100784 (8)

電流 $i_0$ は出力77に発生する。電流源73, 76 と78は電流 $2j, B$  と $Aj$ それぞれを発生する。トランジスタT72, T73 とT74 により形成される電流ミラー回路は電流比 $1 : B : A$ を有する。開閉器S72 とS73は各サンプリング周期の部分 $\phi_1$ の間は閉じられ、一方開閉器S71 は各サンプリング周期の部分 $\phi_2$ の間閉じられる。

第7図示微分回路の動作は以下のように解析される。サンプリング周期 $(n-1)$ の部分 $\phi_2$ の間、トランジスタT71 の電流 $i_1$ は以下の関係で与えられる。

$$i_1 = 2j + i(n-1) - i_2$$

ここで  $i_2$ はトランジスタT72 を通る電流である

$$= 2j + i(n-1) - i_1/A$$

ここで $i_1$ はトランジスタT74 を通る電流である

$$= 2j + i(n-1) - (Aj - i_0(n-1))/A$$

$$= j + i(n-1) + i_0(n-1)/A$$

サンプリング周期 $n$ の部分 $\phi_1$ の間電流 $i_2$ は以下の関係で与えられる。

$$i_2 = 2j + i(n) + Bi_0(n)/A - i_1$$

$/T$ とおくと $H(z) = -x/(1+T/(1-z^{-1}))$ 、ここで $T$ はサンプリング周期である。

$$H(z) = \frac{-x(1-z^{-1})/(1+T/\tau)}{1-z^{-1}/(1+T/\tau)} \quad (3)$$

ここで $x=C/C1$ ,  $\tau=C1R$ である。

関係式(2)は関係式(3)に写像され、ここで $A=x$ ,  $B=T/\tau$ である。結果的に第7図示微分回路は連続時間損失微分器からバックワード オイラー写像を実行する損失微分器であることがわかる。

もしフォワード オイラー写像 $s \rightarrow (1-z^{-1})/Tz^{-1}$ が用いられる時には

$$H(z) = \frac{x/(1+Tz^{-1}/(1-z^{-1})\tau)}{=x(1-z^{-1})/(1-(1-T/\tau)z^{-1})} \quad (4)$$

となる。

第8図は連続時間損失微分器からフォワード オイラー写像を実行する損失微分器の形態の本発明に係る微分回路の第6の実施例を示す。第8図に示すごとく微分回路はノード82に接続される入力81を有している。ノード82には3つの開閉器S81, S82 とS83, 2つの $n$ チャネル電界効果トランジ

$$= 2j + i(n) + Bi_0(n)/A$$

$$-(j + i(n-1) + i_0(n-1)/A)$$

$$= j + i(n) - i(n-1) + Bi_0(n)/A - i_0(n-1)/A$$

$$i_0(n) = Aj - i_1 = A(j - i_2)$$

$$= Aj - A(j + i(n) - i(n-1) + Bi_0(n)/A - i_0(n-1)/A)$$

$$- i_0(n-1)/A)$$

$$= -A(i(n) - i(n-1)) - Bi_0(n) + i_0(n-1)$$

$z$ ドメインに変換すれば

$$i_0(z)(1+Bz^{-1}) = -Ai(z)(1-z^{-1})$$

$$H(z) = -A(1-z^{-1})/(1+Bz^{-1})$$

$$= \frac{-A(1-z^{-1})/(1+B)}{1-z^{-1}/(1+B)} \quad (2)$$

連続時間損失微分器は増幅器 $A$ の入出力間に別のコンデンサ $C1$ を接続して第1図に示される理想的微分器を変更することにより形成してもよい。

この損失微分器の伝達関数が

$$H(s) = \frac{-C/C1}{1+1/sC1R} = \frac{-x}{1+1/S\tau}$$

で与えられることは容易に示される。

バックワード オイラー写像を用い  $s \rightarrow (1-z^{-1})$

スタT81 とT82 のドレイン電極、および他端が正の給電路84に接続される電流源83の1端が接続されている。開閉器S81の他端はトランジスタT81のゲート電極と他端が負の給電路85に接続されるコンデンサC81の1端との接合点に接続されている。開閉器S82の他端はトランジスタT82のゲート電極と他端が負の給電路85に接続されるコンデンサC82の1端との接合点に接続されている。トランジスタT81 とT82 のソース電極は負の給電路85に接続されている。トランジスタT82のゲート電極はソース電極が負の給電路85に接続されドレイン電極が正の給電路84に電流源86を介して接続される $n$ チャネル電界効果トランジスタT83のゲート電極に接続されている。トランジスタT83のドレイン電極はソース電極が負の給電路85に接続される $n$ チャネル電界効果トランジスタT84のドレインとゲート電極に接続されている。トランジスタT84のゲート電極は2つの別の $n$ チャネル電界効果トランジスタT85 とT86のゲート電極に接続されている。トランジスタT85のソース電極は

## 特開平3-100784 (9)

負の給電路85に接続され、一方そのドレイン電極は開閉器83の他端と電流源87を介して正の給電路84とに接続されている。トランジスタT86のソース電極は負の給電路85に接続され、一方そのドレイン電極は出力端子88と電流源89を介して正の給電路84とに接続されている。

動作に際し入力電流  $i$  は入力81に印加され出力電流  $i_o$  は出力88に発生する。電流源83, 86, 87と89は電流  $2j$ ,  $2j$ ,  $Bj$ と  $Aj$ それぞれを発生する。トランジスタT82とT83により形成される電流ミラー回路は1:1の電流比を有し、一方トランジスタT84, T85とT86により形成される電流ミラー回路は1:B:Aの電流比を有する。開閉器S82は各サンプリング周期の部分φ1の間閉じられ、一方開閉器S81とS83は各サンプリング周期の部分φ2の間閉じられる。

第8図示回路の動作は以下のように解析される。サンプリング周期  $(n-1)$  の部分φ2の間トランジスタT81を通る電流は以下の関係を与える。

$$i_1 = 2j + i(n-1) + Bi_o(n-1)/A - i_2$$

ここで  $i_2$  はトランジスタT82を通る電流である。

$$\begin{aligned} i_2 &= i_3 = 2j - i_1 = 2j - i_o(n-1)/A \\ &= 2j - (j - i_o(n-1)/A) \\ &= j + i_o(n-1)/A \end{aligned}$$

ここで  $i_2$ ,  $i_1$ などはトランジスタT83, T84などを通る電流である。

$$\begin{aligned} \text{それ故 } i_1 &= 2j + i(n-1) + Bi_o(n-1)/A \\ &\quad - (j + i_o(n-1)/A) \\ &= j + i(n-1) - (1-B)i_o(n-1)/A \end{aligned}$$

サンプリング周期  $n$  の部分φ1の間電流  $i_2$  は次の関係で与えられる。

$$\begin{aligned} i_2 &= 2j + i(n) - i_1 \\ &= 2j + i(n) - (j + i(n-1) - (1-B)i_o(n-1)/A) \\ i_o(n) &= A(i_2 - j) \\ &= A(i(n) - i(n-1) + (1-B)i_o(n-1)/A) \\ i_o(n) - (1-B)i_o(n-1) &= A(i(n) - i(n-1)) \end{aligned}$$

zドメインに変換すると

$$i_o(z)(1 - (1-B)z^{-1}) = Ai(z)(1 - z^{-1})$$

$$H(z) = \frac{A(1 - z^{-1})}{1 - (1-B)z^{-1}} \quad (5)$$

式(5)は式(4)に写像され、この時  $B = T/\tau$  である。

従って第8図示回路は連続時間損失微分器のフォワードオイラー写像を形成することがわかる。

連続時間損失微分器の双線形写像  $s \rightarrow (2/T)((1-z^{-1})/(1+z^{-1}))$  が使用される時には、連続時間関係  $H(s) = -x/(1+1/s)$  からzドメインへの写像は以下ようになる。

$$\begin{aligned} H(z) &= \frac{-x}{1 + \frac{T}{2\tau} \cdot \frac{1+z^{-1}}{1-z^{-1}}} \\ &= \frac{-x(1-z^{-1})}{1-z^{-1} + T(1+z^{-1})/2\tau} \\ &= \frac{-x(1-z^{-1})}{1 + T/2\tau - z^{-1}(1 - T/2\tau)} \\ &= \frac{-x(1-z^{-1})/(1+T/2\tau)}{1 - z^{-1}(1 - T/2\tau)/(1+T/2\tau)} \end{aligned}$$

$$\begin{aligned} &= \frac{-x(1-z^{-1})/(1+T/2\tau)}{1 - (1 - \frac{T/\tau}{1+T/2\tau} z^{-1})} \quad (6) \end{aligned}$$

式(6)は式(4)に写像可能で  $x \rightarrow x(1+T/2\tau)$  および  $T/\tau \rightarrow (T/\tau)/(1+T/2\tau)$  である。

従って第8図示微分器はまた適切なスケール因子がAとBについて選択されるなら損失連続時間微分器からの双線形写像が実行可能と思われる。

第9図は電流源91とnチャネル電界効果トランジスタT91のドレイン電極との接合点に接続される入力90を有する本発明に係る微分回路の第7の実施例を示す。電流源91の他端は正の給電路92に接続され、一方トランジスタT91のソース電極は負の給電路93に接続されている。開閉器S91はトランジスタT91のドレインとゲート電極間に接続され、一方コンデンサC91はそのソースとゲート電極間に接続されている。開閉器S93はトランジスタT91のドレイン電極と電流源94およびpチャネル電界効果トランジスタT92のドレイン電極の

## 特開平3-100784 (10)

接合点との間に接続されている。電流源94の他端は負の給電路93に接続され、一方トランジスタT92のソース電極は正の給電路92に接続されている。開閉器S92はトランジスタT92のゲートとドレイン電極間に接続され、一方コンデンサC92はそのゲートとソース電極間に接続されている。トランジスタT92のゲート電極はソース電極が正の給電路92に接続されドレイン電極が出力95と電流源96を介して負の給電路93とに接続されるpチャネル電界効果トランジスタT93のゲートに接続されている。

動作において入力信号*i*は入力90に印加され出力電流*i<sub>o</sub>*は出力95で発生する。電流源91と94は電流*j*を発生し、一方電流源96は電流*Aj*を発生する。開閉器S91は各サンプリング周期の部分φ2間に閉じられ、一方開閉器S92とS93は各サンプリング周期の部分φ1間に閉じられる。

第9図示回路の動作は以下のように解析され、ここで*i<sub>1</sub>*、*i<sub>2</sub>*および*i<sub>3</sub>*はトランジスタT91、T92およびT93それぞれを通る電流である。

サンプリング周期(n-1)の部分φ2の間

$$i_1 = j + i(n-1)$$

サンプリング周期nの部分φ1の間

$$i_2 = j + i_1 - i(n) - j = -i(n) + j + i(n-1)$$

$$= i_3 / A = j + i_o(n) / A$$

$$i_o(n) / A = -i(n) + i(n-1)$$

zドメインへ変換すれば

$$i_o(z) = -Ai(z)(1-z^{-1})$$

$$H(z) = -A(1-z^{-1})$$

第2図を参照して説明した実施例と同じくこれは連続時間微分器からのバックワードオイラー写像に対応する。

明らかに微分器の他の形態は両極性の電流メモリセルを用いて形成可能であろう。

処理される信号が単方向電流なら電流源91、94と96を廃することができるだろう。入力90に常時流れこむ電流についていえば、この構成では電流源は削除されるだろうが、入力90から常時流れでる電流についていえば、pチャネル電流メモリセルが入力90に接続されnチャネル電流メモリセル

が出力95に接続されるだろう。

第10図は本発明に係る微分回路の第8の実施例の回路線図を示す。第10図に示す実施例は双線形理想的微分器の別の形態である。

それは電流源201とnチャネル電界効果トランジスタT201のドレイン電極との接合点に給電する入力200を具えている。開閉器S201はトランジスタT201のドレインとゲート電極間に接続され、一方コンデンサC201はそのゲートとソース電極間に接続されている。電流源201の他端は正の給電路202に接続され、一方トランジスタT201のソース電極は負の給電路203に接続されている。トランジスタT201のドレイン電極は開閉器S203を介して電流源204とnチャネル電界効果トランジスタT202のドレイン電極との接合点に接続されている。電流源204の他端は正の給電路202に接続され、一方トランジスタT202のソース電極は負の給電路203へ接続されている。トランジスタT202のドレイン電極はそのゲート電極へ開閉器S202を介して接続され、一方コンデンサC202はそのゲートとソ

ース電極間に接続されている。トランジスタT202のドレイン電極はソース電極が負の給電路203へ接続されるnチャネル電界効果トランジスタT203のドレイン電極に開閉器S204を介して接続されている。開閉器S205はトランジスタT203のゲートとドレイン電極間に接続され、一方コンデンサC203はそのゲートとソース電極間に接続されている。トランジスタT203のゲート電極はソース電極が負の給電路203に接続されるnチャネル電界効果トランジスタT204のゲート電極へ接続されている。トランジスタT204のドレイン電極は正の給電路202に電流源206を介してそしてトランジスタT201のドレイン電極へ開閉器S206を介して接続されている。トランジスタT203のドレイン電極は電流源205を介して正の給電路202へ接続されている。トランジスタT202のゲート電極はソース電極が負の給電路203へ接続されるnチャネル電界効果トランジスタT205のゲート電極へ接続されている。トランジスタT205のドレイン電極は出力207と電流源208を介して正の給電路202とへ接続されている。

## 特開平3-100784 (11)

電流源201, 204, 205 と206 は電流  $j$  を発生するよう各々配置され、一方電流源208 は電流  $A$  を発生するよう配置されている。トランジスタT203とT204は同じチャネル幅/チャネル長比を有するよう配置されそれで開閉器S205が閉じられると形成される電流ミラーは1:1の電流比を有する。トランジスタT202とT205により形成される電流ミラーは1:Aの電流比を有するよう配置されている。開閉器S202とS203は各サンプリング周期の部分φ1の間閉じられるよう配置され、一方開閉器S201, S204, S205 とS206は各サンプリング周期の部分φ2の間閉じられるよう配置されている。入力電流を  $i$ 、出力電流を  $i_o$ 。そしてトランジスタT201, T202, T203, T204, T205を通る電流をそれぞれ  $i_1, i_2, i_3, i_4, i_5$  とすれば、第10図示回路の動作は以下のようになる。

周期  $(n-1)$  の部分φ2の間

$$i_1 = j + i(n-1) + (j - i_o)$$

そして  $i_4 = i_5 = 2j - i_2 = 2j - i_3/A$

$$= 2j - (1/A)(Aj - i_o(n-1))$$

$$= j + i_o(n-1)/A$$

それ故  $i_1 = 2j + i(n-1) - (j + i_o(n-1)/A)$

$$= j + i(n-1) - i_o(n-1)/A$$

周期  $n$  の部分φ1の間トランジスタT2を通る電流は次のようになる。

$$i_2 = 2j + i(n) - i_1$$

$$= 2j + i(n) - (j + i(n-1) - i_o(n-1)/A)$$

$$= j + i(n) - i(n-1) + i_o(n-1)/A$$

そして  $i_2 = i_o/A = (Aj - i_o(n))/A = j - i_o(n)/A$

それ故  $j + i(n) - i(n-1) + i_o(n-1)/A$

$$= j - i_o(n)/A$$

それ故  $i(n) - i(n-1) = -(i_o(n) + i_o(n-1))/A$

zドメインに変換すると

$$i(z)(1-z^{-1}) = -i_o(z)(1+z^{-1})/A$$

それ故  $H(z) = -A(1-z^{-1})/(1+z^{-1})$

これは微分器が理想的で反転型である連続時間微分器の双線形写像用の表現式であることがわかるであろう。

実施例のあるものの電気メモリセルはなにか他の電流メモリセルによって置換可能である。この

ような電流メモリセルは第11図に示されている。第11(a)図は第1図から第10図までのそれと形態は同じであるが、電流メモリセルの出力インピーダンスを増加させるためにカスケードのトランジスタを含んだ電流メモリセルを示している。それはnチャネル電界効果トランジスタT100のドレイン電極と開閉器S101の1端とへ接続される端子100を具えている。トランジスタT100のソース電極はソース電極が負の給電路101に接続されるnチャネル電界効果トランジスタT101のドレイン電極に接続されている。開閉器S101の他端はトランジスタT101のゲート電極と、nチャネル電界効果トランジスタT102のゲート電極と、他端が負の給電路101へ接続されるコンデンサC101の1端とへ接続されている。トランジスタT102のソース電極は負の給電路101へ接続され、一方そのドレイン電極はnチャネル電界効果トランジスタT103のソース電極へ接続されている。トランジスタT103のドレイン電極はソース電極が正の給電路102に接続されるpチャネル電界効果トランジスタT104のドレ

インとゲート電極に接続されている。トランジスタT104のゲート電極はソース電極が正の給電路102に接続されドレイン電極がnチャネル電界効果トランジスタT106のドレインとゲートに接続されるpチャネル電界効果トランジスタT105のゲート電極に接続されている。トランジスタT106のソース電極は負の給電路101に接続され、一方そのゲート電極はトランジスタT100とT103のゲート電極に接続されている。

第11(a)図示電流メモリセルは以下のように動作する。開閉器S101が閉じられると入力100に印加された電流は感知され、コンデンサC101はトランジスタT101のゲート・ソース電位まで充電される。トランジスタT101の電流はトランジスタT100のゲート電極へ適用されるバイアス電圧を発生するバイアス電圧発生器をトランジスタT103からT106とともに形成するトランジスタT102にミラーの関係を与える。開閉器S101が開かれるとトランジスタT101は電流源として動作し、ゲート・ソース電位がコンデンサC101に蓄えられたと同じまま残るか

## 特開平3-100784 (12)

ら開閉器S101が閉じられていた時と同じ電流を発生する。バイアス電圧発生器の電流は同じ理由でまた維持されるだろう。コンデンサC101はトランジスタ固有のソース・ゲート間容量であってもよく、特別に形成されたコンデンサによって増大されてもよい。バイアス電圧発生器の動作の説明については本願人になる同時係属中の英国公開特許出願第2214018号(PHB 33426)を参照されたい。かくて端子100は開閉器S101が閉じられている時は電流メモリセルの入力を形成し、開閉器S101が開かれている時は電流メモリセルの出力を形成する。別の出力がトランジスタT101の電流とミラー関係をもたせて用意されてもよい。

第11(b)図はnチャネル電界効果トランジスタT110のドレインとゲートに接続される入力110を有する電流メモリセルを示している。トランジスタT110のソース電極は負の給電路111に接続され、一方そのゲート電極は開閉器S110を介してnチャネル電界効果トランジスタT111のゲート電極に接続されている。トランジスタT111のドレイン電極

は出力112に接続され、一方そのソース電極は負の給電路111に接続されている。コンデンサC111はトランジスタT111のゲートとソース電極間に接続されている。

動作に際し入力電流は入力110に給電され、開閉器S110が閉じられる時回路は入力電流に比例する出力112で発生する出力電流を有する通常の電流ミラー回路として作用し、その比例定数はトランジスタT110とT111の相対的大きさに依存する。同時にトランジスタT111固有のゲート・ソース間容量でもよいし別に形成されたコンデンサにより増大させられてもよいコンデンサC111はトランジスタT111のゲート・ソース間電位まで充電される。開閉器S110が開かれるとコンデンサC111の電荷はトランジスタT111のゲート・ソース間電位を維持し、その結果トランジスタT111を通して開閉器が閉じられたと同じ値に保持された電流を生じさせる。明らかに多出力がトランジスタT111の電流とミラー関係を有して得られる。

第11(c)図はドレイン電極がnチャネル電界効果

トランジスタT121のドレイン電極に接続されるpチャネル電界効果トランジスタT120のソース電極へ接続される入力120を有する電流メモリセルを示している。トランジスタT121のソース電極は負の給電路121に接続され、一方そのゲート電極は別のnチャネル電界効果トランジスタT122のゲート電極に接続されている。トランジスタT121のドレイン電極はそのゲート電極に開閉器S121を介して接続されている、コンデンサC121はトランジスタT121のソースとゲート電極間に接続されている。トランジスタT122のソース電極は負の給電路121に接続され、一方そのドレイン電極はpチャネル電界効果トランジスタT123のドレインとゲート電極に接続されている。トランジスタT123のソース電極は端子122に接続され、一方そのゲート電極はトランジスタT120のゲート電極へ開閉器S120を介して接続されている。

第11(c)図示電流メモリセルの構成は電流コンペアのそれと同じであることがわかるだろう。それは開閉器S120とS121およびコンデンサC121を備え

ることにより修正される。さらに端子120は開閉器S120とS121が閉じられる時はx入力として、開閉器S120とS121が開かれる時はz出力として動作する。動作に際しバイアス電圧が開閉器S120とS121が閉じられる時入力120で電位を生じさせる電流コンペアのy入力として動作する端子122に印加され、入力120には蓄えられるべき電流がバイアス電圧に等しくなるように印加される。電流コンペアは公知のごとく、端子120におけるインピーダンスはかなり低く端子122における電流の加算は促進される。開閉器S121が閉じられている間は、単にトランジスタT121とT122のゲート・ソース間容量によって形成されていてもよいし、あるいは付加されるコンデンサを含んでいてもよいコンデンサC121はトランジスタT121のゲート・ソース間電位まで充電される。かくて、開閉器S120とS121が開くと、トランジスタT121は電流出力がコンデンサC121の電荷の値に依存する電流源として作用する。必要ならば別の電流出力がトランジスタT121の電流とミラー関係がとられて用意されてもよい



## 特開平3-100784 (13)

し、その別の電流出力はそのトランジスタの大きさに依存するなにか必要な因子だけスケール付けがなされるだろう。

第11(d)図はpチャネル電界効果トランジスタT130のソース電極に接続される入力130を有する別の電流メモリセルを示している。トランジスタT130のドレイン電極はソース電極が負の給電路131へ接続されるnチャネル電界効果トランジスタT131のドレインとゲート電極に接続されている。トランジスタT131のゲート電極はソース電極が負の給電路131に接続されるnチャネル電界効果トランジスタT132のゲート電極に開閉器S131を介して接続されている。コンデンサC131はトランジスタT132のゲートとソース電極間に接続されている。トランジスタT132のドレイン電極はソース電極が端子132に接続されるpチャネル電界効果トランジスタT133のドレインとゲート電極に接続されている。トランジスタT133のゲート電極は開閉器S130を介してトランジスタT130のゲート電極に接続されている。トランジスタT132のゲート電極はソー

ス電極が負の給電路131に接続されドレイン電極が端子133に接続されるnチャネル電界効果トランジスタT134のゲート電極に接続されている。

第11(d)図の電流メモリセルはx入力を形成する端子130、y入力を形成する端子132、z出力を形成する端子133を備えた電流コンペアと形態が同じであることがわかる。かくて開閉器S130とS131が閉じられると、回路は電流コンペアと同じように動作するだろう。しかしながら、コンデンサC131がトランジスタT132のゲート・ソース間電位まで充電される場合、入力電流が入力130に印加される時は開閉器S131の開放は単にトランジスタT132を入力から分離するのみで、そのトランジスタ132と出力133に接続されるトランジスタT134とは開閉器S131が閉じられていた時に発生する電流と同じ電流を発生し続ける。出力133で発生する実際の電流がトランジスタT131とT134の整合性の精度に依存し、一方第11(c)図示回路で同じトランジスタが入力電流をモニタするのに使用され、かくて出力電流の精度と整合をとったり精度を増加した

りするデバイスと関連する問題を削減する出力電流を発生するのに使用されるのは注目されよう。しかしながら、この場合整合性の要求が再び含まれる時にはトランジスタT121の電流とミラー関係をとる以外電流のスケール付けはなされ得ない。従って単にスケール付けがなされた電流が要求される時は第11(d)図の回路は同じく適切である。

第11(e)図はpチャネル電界効果トランジスタT140のソース電極に接続される入力140を有する別の電流メモリセルを示している。トランジスタT140のドレイン電極はソース電極が負の給電路141に接続されるnチャネル電界効果トランジスタT141のドレイン電極に接続されている。開閉器S141はトランジスタT141のドレインとゲート電極間に接続され、一方コンデンサC141はそのゲートとソース電極間に接続されている。トランジスタT141のゲート電極はソース電極が負の給電路141に接続される2つの別のnチャネル電界効果トランジスタT142とT143のゲート電極に接続されている。トランジスタT142のドレイン電極はソース電極がp

チャネル電界効果トランジスタT145のドレイン電極に接続されるpチャネル電界効果トランジスタT144のドレインとゲート電極に接続されている。トランジスタT143のドレイン電極はソース電極が正の給電路142に接続されるpチャネル電界効果トランジスタT146のドレインとゲート電極に接続されている。pチャネル電界効果トランジスタT147は正の給電路142に接続されるソース電極とpチャネル電界効果トランジスタT148のソース電極に接続されるドレイン電極を有している。トランジスタT148のドレイン電極はトランジスタT147とT148のゲート電極と電流源143を介して負の給電路141とへ接続されている。トランジスタT145のソース電極は正の給電路142に接続され、一方そのドレイン電極はトランジスタT147のドレイン電極とトランジスタT148のソース電極との接合点に接続されている。

開閉器S140とS141が閉じられトランジスタT142とミラー関係にある出力分枝が用意されると、第11(e)図示回路はその動作と特性の詳細な説明につ

## 特開平3-100784 (14)

いて参照されるべき本願人になる同時係属中の英国特許出願第8903705.5号(PHB 33532)に開示されているクラスII電流コンベンアと同じである。開閉器S140とS141が開かれる時の第11(c)図示の回路と同じようにトランジスタT141は、開閉器S140とS141が閉じられた時端子140に給電された電流を再生する電流源として作用する。

第11(f)図はpチャネル電界効果トランジスタT150のソース電極に接続される端子150を有する別の電流メモリセルを示す。トランジスタT150のドレイン電極はソース電極がnチャネル電界効果トランジスタT152のドレイン電極に接続されるnチャネル電界効果トランジスタT151のドレイン電極に接続されている。トランジスタT151のドレイン電極はトランジスタT152のゲート電極に開閉器S151を介して接続されている。トランジスタT152のソース電極は負の給電路151に接続され、一方コンデンサC151はそのゲートとソース電極間に接続されている。トランジスタT152のゲート電極はソース電極が負の給電路151に接続される3つの別の

nチャネル電界効果トランジスタT153、T154とT155のゲート電極に接続されている。トランジスタT153のドレイン電極はドレイン電極がpチャネル電界効果トランジスタT157のドレインとゲート電極に接続されるnチャネル電界効果トランジスタT156のソース電極に接続されている。トランジスタT157のゲート電極はトランジスタT150のゲート電極に開閉器S150を介して接続され、一方そのソース電極はノード152に接続されている。トランジスタT151のゲート電極はトランジスタT156のゲート電極に接続されている。

トランジスタT154のドレイン電極はソース電極が正の給電路153に接続されるpチャネル電界効果トランジスタT158のドレインとゲート電極に接続されている。トランジスタT158のゲート電極はソース電極が正の給電路153に接続されドレイン電極がノード152に接続されるpチャネル電界効果トランジスタT159のゲート電極に接続されている。

トランジスタT155のドレイン電極はドレイン電

極がpチャネル電界効果トランジスタT161のドレインとゲート電極に接続されるnチャネル電界効果トランジスタT160のソース電極に接続されている。トランジスタT161のソース電極は正の給電路153に接続され、一方そのゲート電極はソース電極が正の給電路153に接続されるpチャネル電界効果トランジスタT162のゲート電極に接続されている。トランジスタT162のドレイン電極はソース電極が負の給電路151に接続されるnチャネル電界効果トランジスタのドレインとゲート電極に接続されている。トランジスタT163のゲート電極はトランジスタT151、T156とT160のゲート電極に接続されている。

pチャネル電界効果トランジスタT164は正の給電路153に接続されるソース電極と別のpチャネル電界効果トランジスタT165のソース電極に接続されるドレイン電極とを有している。トランジスタT164のゲート電極はトランジスタT165のドレイン電極とゲート電極とに接続されている。トランジスタT165のドレイン電極は電流源154を介して

負の給電路151に接続されている。トランジスタT164のドレイン電極とトランジスタT165のソース電極はノード152に接続されている。

第11(f)図示電流メモリセルは第11(e)図示のそれと同じであるが、クラスIIの電流コンベンア構成に加うるに、下側の電流ミラー回路にカスケード接続のトランジスタとそのカスケード接続トランジスタ用の適切なバイアス電圧発生手段とを有している。

明らかに電流メモリセルの他の形態が図示の微分回路に使用されてもよいが、その必要性は1サンプリング周期かその1部分に電流を感知しその後感知した電流に依存した電流を再生する回路の場合のみである。例えば、第11(a)と(b)図に示される電流メモリセルは図示のnチャネルデバイスよりもむしろpチャネルデバイスを用いて構成されるだろうし、電流コンベンア構成は反対極性になるだろう。両極性のデバイスを用いた電流メモリセルが1極性のみの電流メモリセルを用いる代りに微分回路を形成すべく組合わすことができる。

## 特開平3-100784 (15)

以上本発明に係る実施例について詳細に説明してきたが、本発明はこれに限定されることなく請求項に記載された範囲内において各種の変形変更の可能なことは当業者に自明であろう。

## 4. 図面の簡単な説明

第1図は公知の連続時間微分回路を示し、

第2図は本発明に係る微分回路第1の実施例の回路線図を示し、

第3図は第2図と第4図から第10図までの本発明実施例の開閉器を動作させるのに使用されるクロック信号波形を示し、

第4図から第10図は本発明に係る微分回路第2から第8の実施例回路線図をそれぞれ示し、

第11(a)から(f)図は第2図と第4図から第10図の微分回路に使用される種々の電流メモリセルを示す。

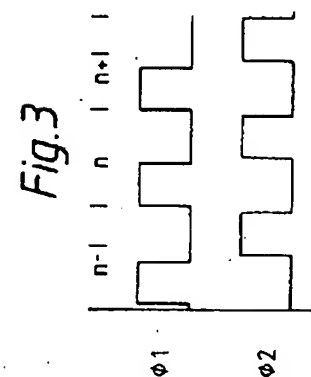
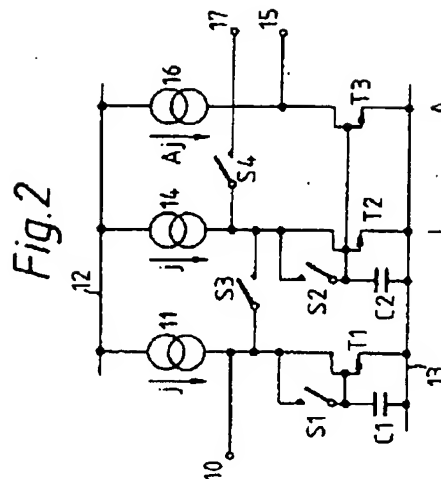
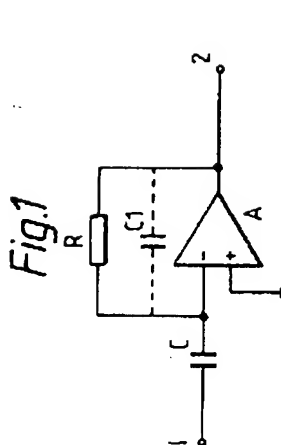
C … コンデンサ

A … 差動増幅器

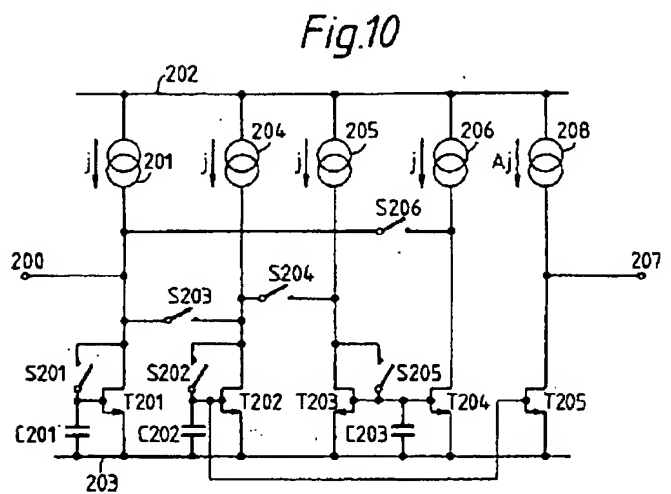
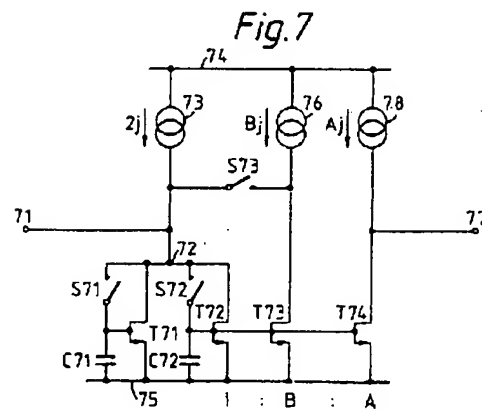
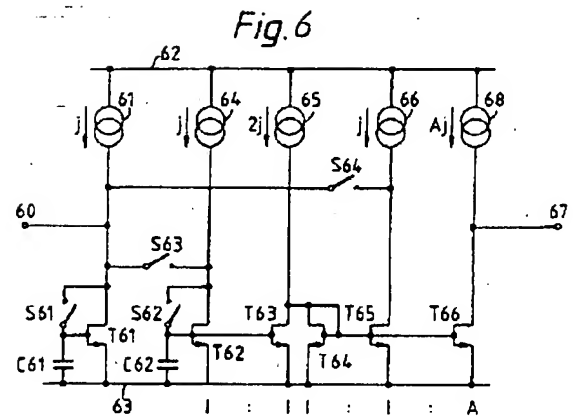
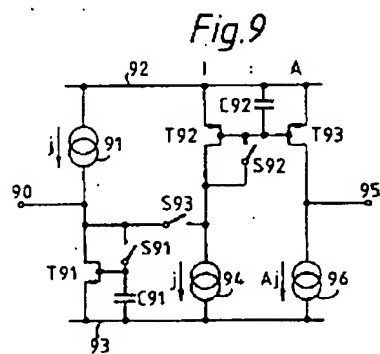
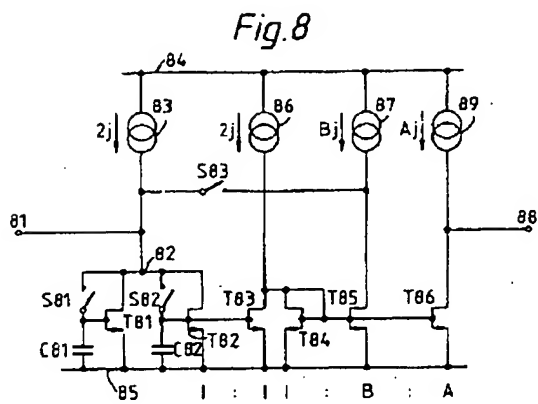
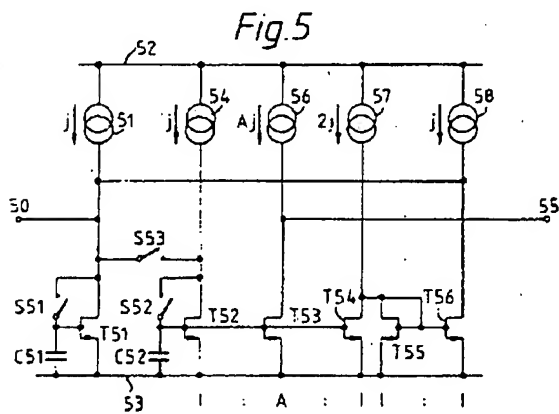
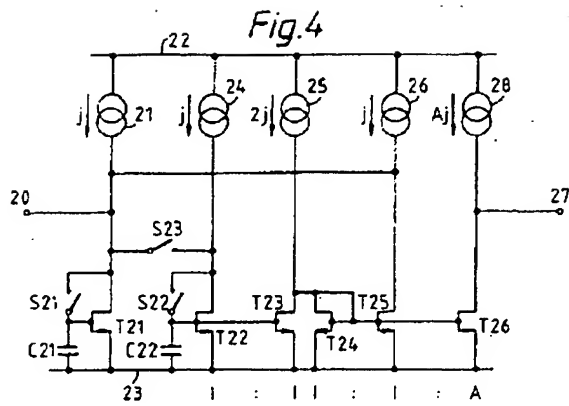
R … 抵抗

T … トランジスタ

S … 開閉器

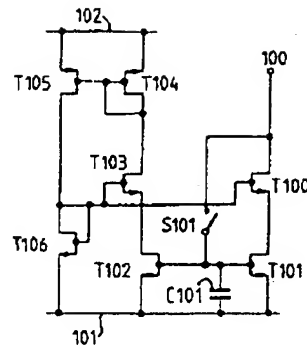


特開平3-100784 (16)

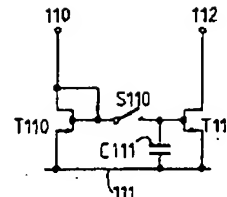


特開平3-100784 (17)

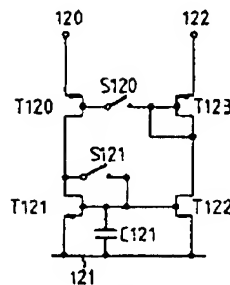
Fig.11



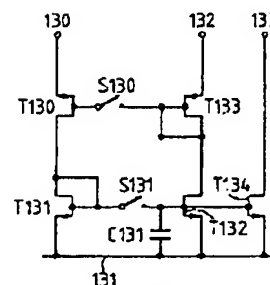
(a)



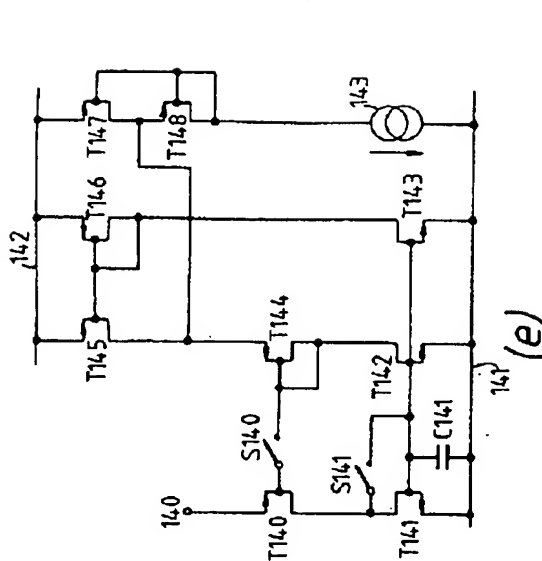
(b)



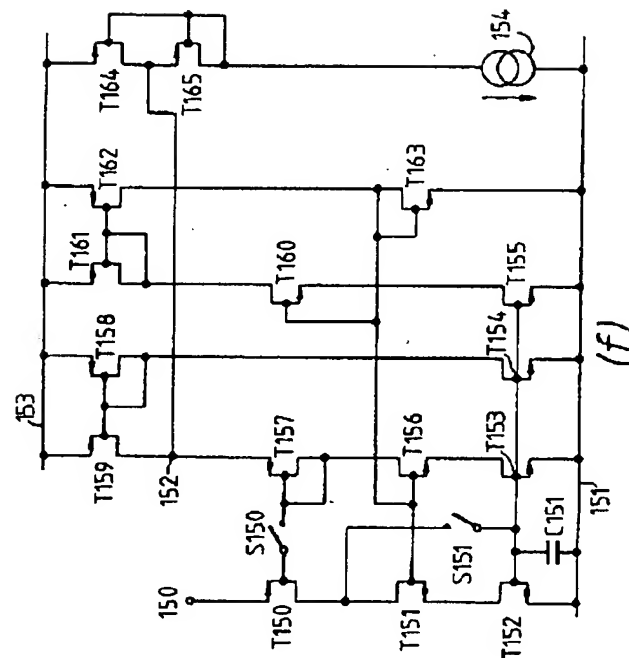
(c)



(d)



(e)



(f)

Fig.11